

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-169967**

(43)Date of publication of application : **04.07.1995**

(51)Int.Cl.

H01L 29/786

G02F 1/136

(21)Application number : **05-316287** (71)Applicant : **MATSUSHITA ELECTRIC IND CO LTD**

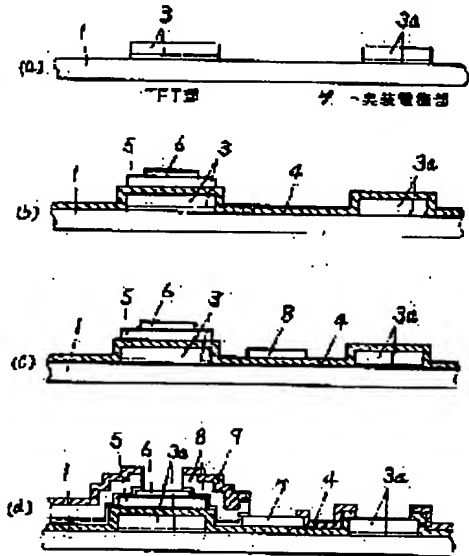
(22)Date of filing : **16.12.1993** (72)Inventor : **MINO YOSHIKO**

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To enhance Ti, Al, and glass in adhesion to each other and to protect Al against corrosion by a method wherein a metal film to serve as a gate electrode and another metal film to serve as a source/drain electrode are formed of a laminated film composed of Ti and Al.

CONSTITUTION: A first metal laminated film composed of Ti/Al or Ti/Al/Ti to serve as a gate electrode 3 is formed on an insulating transparent substrate such as a glass substrate 1. A resist pattern is formed on the first metal laminated film, and the laminated film is patterned by gas through a dry etching method. Thereafter, the resist pattern is removed by resist-dedicated release agent. At this point, a TAB mounting electrode 3a on a gate side is led out to the end of the extension of a gate wiring and arranged by the same gate material. As mentioned above, the gate electrode 3 is formed of a laminated layer of Ti/Al, whereby Al, can be enhanced in adhesion to glass by a first Ti layer. Glass can be protected against etching when a gate electrode is processed, and a transistor section can be protected against contamination caused by a glass substrate 1.



LEGAL STATUS

[Date of request for examination] **04.08.1997**

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3060806

[Date of registration] 28.04.2000

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-169967

(43) 公開日 平成7年(1995)7月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 G
		9056-4M		3 1 1 S
		9056-4M		3 1 1 A
審査請求 未請求 請求項の数 5 O L (全 6 頁)				

(21) 出願番号 特願平5-316287

(22) 出願日 平成5年(1993)12月16日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 美濃 美子

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

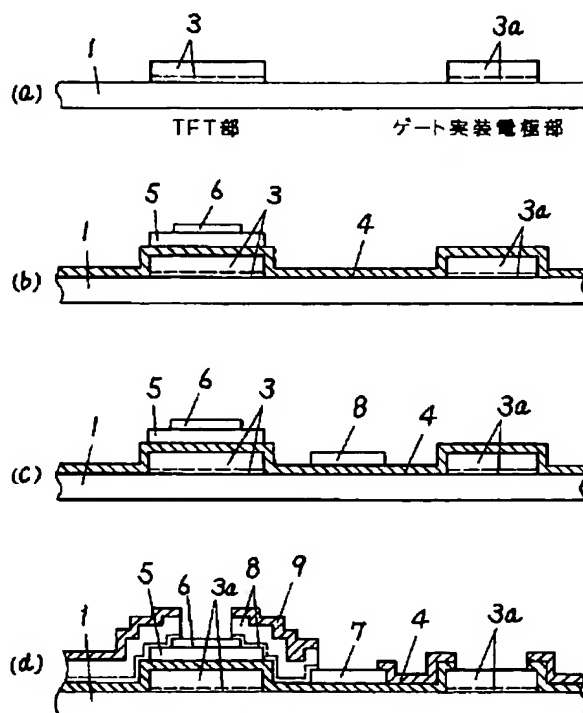
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【目的】 液晶表示装置のアンダーコート膜はガラス基板と以降のプロセスで形成されるトランジスタ層との層間にあって、ガラス基板からトランジスタへの汚染防止膜として多く一般に用いられている。また、液晶表示装置のゲート・ソース引出し電極がA1あるいはA1の合金膜で直接的に引き出されると、高温高温試験においてA1が腐食しやすいという問題点があった。

【構成】 ゲート電極およびソース電極が直接外部に引き出されてなる本発明の液晶表示装置は、ゲート電極となる金属膜とソース・ドレイン電極となる金属膜がT1とA1の積層膜で構成され、ゲート電極をガラス基板上に直接形成する構成とする。



1

【特許請求の範囲】

【請求項1】薄膜トランジスタアレイを形成する液晶表示装置において、薄膜トランジスタのゲート電極及びソース電極の信号入力用外部引出し電極の構成が直接外部へ引き出されて成り、前記ゲート電極及びソース電極の電極構成がT1とA1の積層膜で構成されて成ることを特徴とする液晶表示装置。

【請求項2】薄膜トランジスタアレイを形成する基板が、ガラスを主体とする基板にT1を主体とする薄膜が形成されて成ることを特徴とする請求項1記載の液晶表示装置。

【請求項3】絶縁性基板上にゲート電極となる第1の金属膜を形成する第1の工程と、ゲート絶縁膜、シリコン半導体層及びチャネル保護絶縁体層を形成する第2の工程と、そして、ゲート上の該チャネル保護絶縁体層パターンニングする第3の工程と、該基板上にn+：シリコン膜を形成或はリン元素の不純物を打ち込む第4の工程と、ソース・ドレイン電極となる第2の金属膜を形成する第5の工程と、最後に絶縁保護膜を形成し、前記ゲート及びソース電極の外部引き出し部が他の金属膜を介して変換されずに直接外部へ引き出されるように、ゲート電極及びソース・ドレイン電極上の絶縁体層にTAB取り出し用のコンタクトウィンドウを形成する第6の工程を少なくとも含み、画素電極としての透明導電膜を有する薄膜トランジスタアレイを特徴とする液晶表示装置の製造方法。

【請求項4】第1、第2の金属膜がT1/A1もしくはT1/A1/T1から成ることを特徴とする請求項3記載の液晶表示装置の製造方法。

【請求項5】前記第1、第2の金属膜を形成する工程において、T1成膜後大気に曝されずA1もしくはA1/T1を成膜することを特徴とする請求項3または4記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来のTFTアレイ構成について、図6(a)～(d)を用い以下に説明する。

【0003】まず第1の工程では絶縁性透明基板としてガラス基板1上にアンダーコート膜としてSiO₂膜2を全面形成する。次に第2の工程では前記基板上にゲート電極3となる第1の金属膜として、例えばA1膜もしくはA1合金膜をパターン形成する。この時信号入力用引出し電極となる、ゲート側のTAB実装用電極3aは前記ゲート配線の延長端部に引き出され同ゲート材で配置される(図6(a)参照)。

【0004】次に第3の工程では、ゲート絶縁膜4、シリコン半導体層5、及びチャネル保護膜6を成膜する。

2

第4の工程では、ゲート電極3上のチャネル保護膜6をパターンニングする。次に第5の工程では、n+：シリコン膜(図示せず)を形成し、将来TFTが形成されるように該n+：シリコン膜及びシリコン半導体層5をパターンニングする(図6(b)参照)。

【0005】第6の工程では、画素電極7として透明導電膜ITOを成膜しパターン形成する(図6(c)参照)。

【0006】第7の工程ではソース・ドレイン電極8となる第2の金属膜として例えばT1/A1をパターン形成する。この時信号入力用引出し電極として、ソース側のTAB実装用電極は前記ソース配線の延長端部に引き出され同ソース材で配置される。

【0007】そして第8の工程では絶縁保護膜9となるSiNx膜を形成することで、前記ゲート側のTAB実装用電極上3aには層間絶縁膜4及び絶縁保護膜9としてのSiNx膜が載置され、ソース側のTAB実装用電極上には絶縁保護膜9としてのSiNx膜が載置される。

【0008】最後に第9の工程として、該絶縁保護膜9をパターン形成する。この時、前記層間絶縁膜4及び絶縁保護膜9としてのSiNx膜は、例えばSF₆ガスによるドライエッチングにてエッチ除去されることで個々の電極材が露出され、TFTアレイ基板10が完成する(図6(d)参照)。

【0009】そして、ゲートおよびソースの実装電極部にTAB実装を施し、信号入力用電極を引き出す。

【0010】TAB実装構成を図7(a)および図7(b)に示す。TABは有機フィルム11に印刷されたTAB電極12とTFTアレイ基板側の前記実装電極3aとを接着性異方膜13中に含有させた導電粒子14を介して電気的接続をするものである。そしてその後、保護用として例えばシリコン樹脂15をTAB実装周囲に塗布、硬化させて完成する。

【0011】

【発明が解決しようとする課題】液晶表示装置のアンダーコート膜はガラス基板と以降のプロセスで形成されるトランジスタ層との層間にあって、ガラス基板からトランジスタへの汚染防止膜として多く一般に用いられている。また、液晶表示装置のゲート、ソース引出し電極がA1あるいはA1の合金膜で直接的に引き出されると、湿中環境試験においてA1が腐食されやすいという問題点があった。

【0012】

【課題を解決するための手段】前記問題点を解決するため、ゲート電極およびソース電極が直接外部に引き出されてなる本発明の液晶表示装置は、ゲート電極となる金属膜とソース・ドレイン電極となる金属膜がT1とA1の積層膜で構成される構成とする。

【0013】

3

【作用】前記本発明の構成によれば、ゲート電極をT1/A1で構成することで、1層目のT1によりA1とガラスとの密着性を向上させる。また、ゲート電極のT1/A1をドライエッチングで加工し、レジストは専用剥離剤を用いることでゲート電極加工時のガラスのエッチングを回避し、ガラス基板からトランジスタ部への汚染を防止するバッファ層となり得る。ゲート及びソース・ドレイン電極のTAB実装用引出し電極材をT1/A1或はT1/A1合金膜の積層膜で構成することでTAB側電極材との電位差を確保してA1腐食を制御でき得る等の作用を有する。

【0014】さらには、ゲート電極およびソース電極の外部引き出しを他の金属膜を介して変換せずに直接外部へ引き出すことで、コンタクトウィンドウ形成工程を不要とし、工程削減を図ることができる。また、TAB実装用電極材をゲート及びソース・ドレイン電極をT1/A1或はT1/A1合金膜の積層膜で成ることによりTAB実装用電極パターンの縮小化、実装抵抗の低減を図ることができる。

【0015】

【実施例】本発明の第1の実施例について図1(a)～(d)を用い、以下に説明する。

【0016】先ず第1の工程として絶縁性透明基板として例えばガラス基板1上に、ゲート電極3となる第1の金属膜としてT1/A1やT1/A1合金膜もしくはT1/A1/T1やT1/A1合金膜/T1の積層膜を製膜する。この時絶縁性透明基板上にT1が既に製膜されたガラス基板を用いて、ゲート電極としてA1もしくはA1/T1を製膜する(図示せず)。

【0017】次にレジストパターンを形成し、二層膜の場合にはC1₂やBC1₃などのガスを用いたドライエッチングにてパターン加工し、三層膜の場合にはSF₆とC1₂またはBC1₃、CHC1₃のガスを用いたドライエッチングによってパターン加工する。その後、レジスト専用剥離剤でレジスト除去する。この時、ゲート側のTAB実装用電極3aは前記ゲート配線の延長端部に引き出され同ゲート材で配置される(図1(a)参照)。

【0018】次に第2の工程として、前記従来例同様にゲート絶縁膜4、シリコン半導体層5、及びチャネル保護膜6を製膜する。第3の工程として、ゲート電極3上のチャネル保護膜6をパターニングする。次に第4の工程として、n⁺:シリコン膜6を形成し、将来TFTが形成されるようにn⁺:シリコン膜6及びシリコン半導体層5をパターニングする(図1(b)参照)。

【0019】第5の工程として、画素電極7として透明導電膜ITOを成膜しパターン形成する(図1(c)参照)。

【0020】第6の工程としてソース・ドレイン電極8となる第2の金属膜としてT1/A1やT1/A1合金膜もしくはT1/A1/T1やT1/A1合金膜/T1

4

の積層膜を製膜する。次にレジストパターンを形成し、前記同様二層膜の場合にはC1₂やBC1₃などのガスを、三層膜の場合にはSF₆とC1₂またはBC1₃、CHC1₃のガスを用いたドライエッチングによってパターン加工する。この時ソース側のTAB実装用電極8aは前記ソース配線の延長端部に引き出され同ソース材で配置される。

【0021】そして第8の工程として絶縁保護膜9としてSiNx膜を形成することで、前記ゲート側のTAB実装用電極上には層間絶縁膜4及び絶縁保護膜9としてのSiNx膜が載置され、ソース側のTAB実装用電極上には絶縁保護膜9としてのSiNx膜が載置される。

【0022】最後に第9の工程として、前記絶縁保護膜9をパターン形成する。この時、前記層間絶縁膜4及び絶縁保護膜9としてのSiNx膜は、例えばSF₆ガスによるドライエッチングにてエッチ除去されることで個々の電極材が露出され、薄膜トランジスタアレイ基板10が完成する(図1(d)参照)。

【0023】このようなTFTアレイのTAB実装におけるTAB側金属とアレイ電極金属との相関を電気化学法により評価した。まず、ポテンシオガルバナスタットを用いた評価系を図2に示す。Ag・AgClを参照電極、対極にPt、電解液にKCl水溶液やNa₂SO₄水溶液を用いて各種金属膜に電圧を印加し、電極電位を測定した。TAB電極のメッキ材であるAu、Sn、アレイ電極材であるAl、T1/A1それら金属の分極曲線を図3、図4に示す。その結果、Au、Snは50mv/secでカソード分極すると、AuはSnより低電圧印加で還元電流が流れ出す。一方、Alの平衡電位はAgに対して-0.62v程度である。50mv/secでアノード分極すると、Alの溶出に伴う酸化電流が流れる。これに対してT1/A1は、どの電解液でもAlよりさらにアノード側で酸化電流が流れ始める。そしてそれは、TABメッキ材との相関において電位差を大きく保持しており、酸化電流値も小さく溶解しにくい状況にあることが証明された。

【0024】本発明の第2の実施例について図5(a)～図5(d)を用い、以下に説明する。

【0025】前記第1の実施例ではゲート、ソース、ドレイン電極材料にT1/A1の二層構造を用いたが第2の実施例ではT1/A1/T1の三層構造にし、最終工程の絶縁保護膜パターン形成において層間絶縁膜4及び絶縁保護膜9としてのSiNx膜とともに、上層T1層を例えばSF₆ガスによるドライエッチングにてエッチ除去する。これによって個々の電極面にAl材が露出され、薄膜トランジスタアレイ基板10が完成する(図5(d)参照)。

【0026】前記三層構造の上層T1は、ゲート電極の場合熱工程によるAlヒロック制御膜として、またソース、ドレイン電極場合には透明電極後付け構成すなわち

5

ITO/ソース・ドレイン構成におけるフォトリソプロセスでの現像液による電食防止膜として有効である。なお、前記T1とA1の積層膜から成る電極構造は、連続製膜に限らない。

【0027】さらに、上記第1、第2の実施例では電極構造を二層構造と三層構造に区分しているが、必要に応じてゲート電極とソース、ドレイン電極の構造を選択すればよい。

【0028】本実施例ではアンダーコート膜形成工程を削除しているが、絶縁性透明基板に予めSiO₂膜が形成されて成るガラス基板を用いても、何等支障のないことは言うまでもない。

【0029】

【発明の効果】本発明の構成によれば、ゲート電極を一層目をT1で構成することで、T1とA1とガラスとの密着性を向上できる。また、ゲート電極のT1・A1の積層膜をドライエッチングで加工し、レジストは専用剥離剤を用いることでゲート電極加工時のガラスのエッチングを回避し、前記T1はガラス基板からトランジスタ部への汚染を防止するパフファ層となり得る。従って、従来必須となっていたアンダーコート膜が不要となり工程削減が図られる。また、ゲート及びソース・ドレイン電極のTAB実装用引出し電極材をT1/A1或はT1/A1合金膜もしくはT1/A1/T1の積層膜で構成することで、TAB側電極材との電位差を確保してA1腐食を抑制できる。A1腐食についてはAuメッキされたTAB電極との相関において特に有効であり信頼性の

6

高い液晶表示装置を得ることができる。

【0030】さらには、ゲート電極およびソース電極の外部引き出しを他の金属膜を介して変換せずに直接外部へ引き出すことで、コンタクトウィンドウ形成工程を不要とし、さらなる工程削減を図ることができる。また、TAB実装用電極材をゲート及びソース・ドレイン電極とも同一の金属膜、T1/A1或はT1/A1合金膜もしくはT1/A1/T1の積層膜で構成することにより実装抵抗の低減、TAB実装用電極パターンの縮小化ができる。

【図面の簡単な説明】

【図1】本発明の実施例第1のアレイ工程断面図

【図2】電気化学評価系

【図3】分極曲線結果

【図4】分極曲線結果

【図5】本発明の実施例第2のアレイ工程断面図

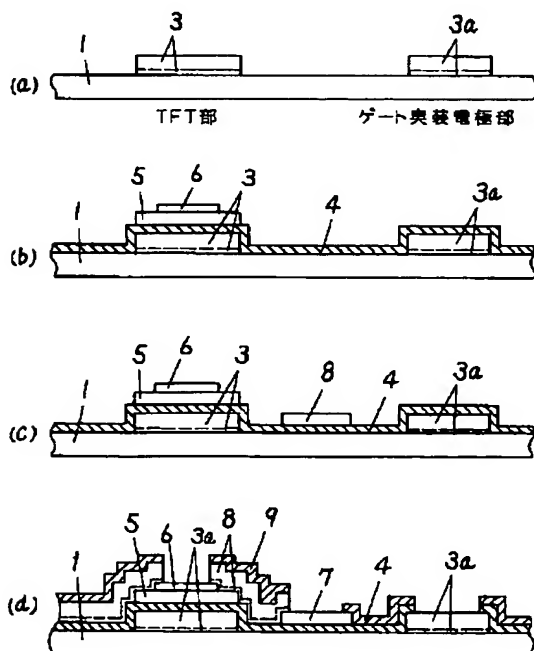
【図6】従来のアレイ工程断面図

【図7】従来アレイのTAB実装構成断面図

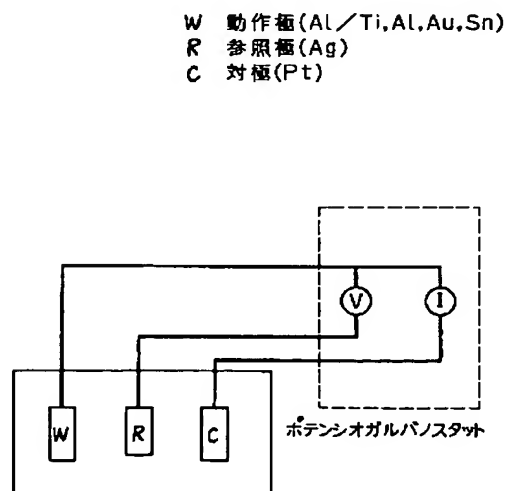
【符号の説明】

- 1 ガラス基板
- 2 アンダーコート膜
- 3 ゲート電極
- 4 ゲート絶縁膜
- 7 画素電極
- 8 ソース・ドレイン電極
- 9 絶縁保護膜

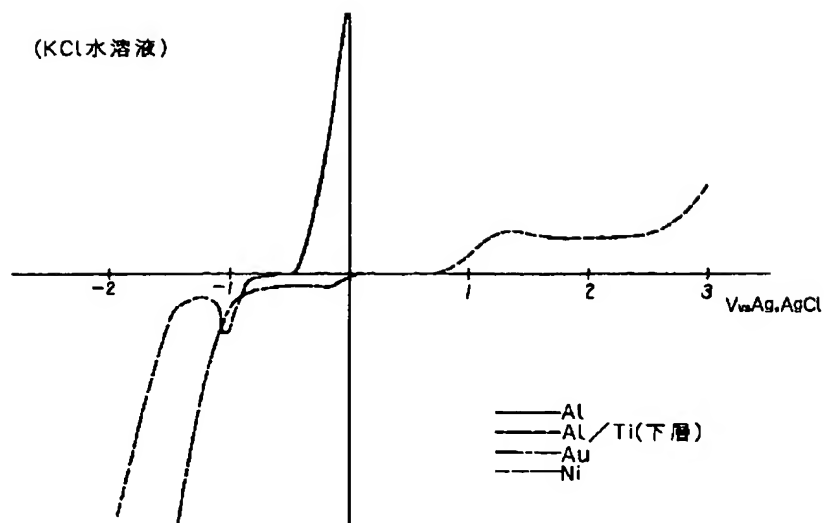
【図1】



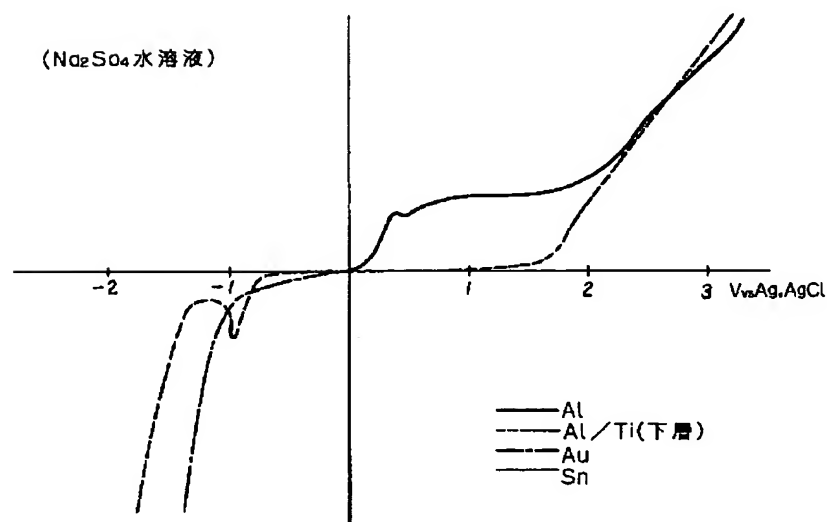
【図2】



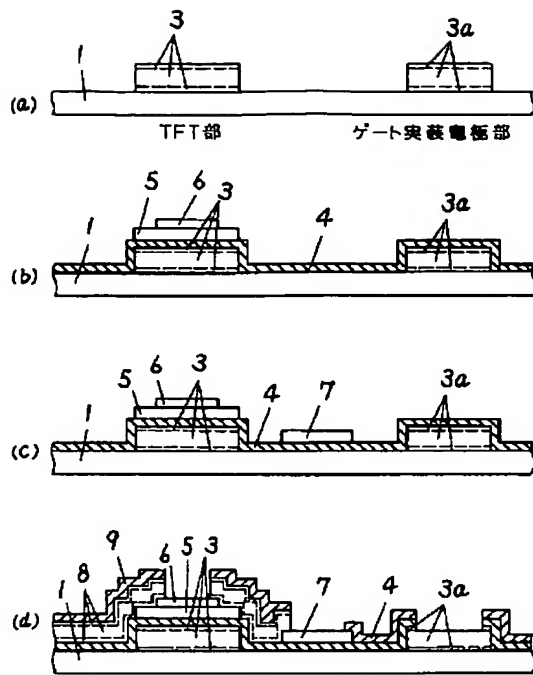
【図3】



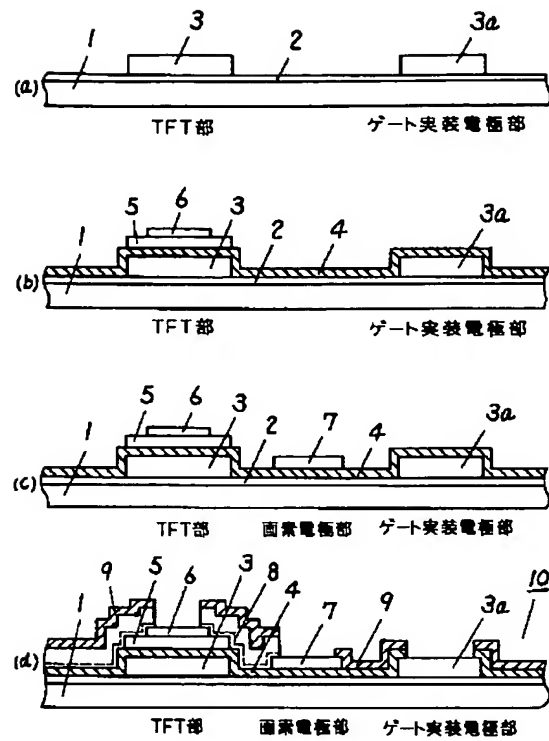
【図4】



【図5】



【図6】



【図7】

